

DERWENT-ACC-NO: 1999-500133  
DERWENT-WEEK: 199951  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Wiring board structure for mounting semiconductor device e.g. chip -  
has spacers with height smaller than of bump electrodes used for electrically connecting device to wiring board, on both ends of chip.

PATENT-ASSIGNEE: CITIZEN WATCH CO LTD[CITL]

PRIORITY-DATA: 1998JP-0015491 (January 28, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 11214432 A	August 6, 1999	N/A
006	H01L 021/60	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 11214432A	N/A	1998JP-0015491
January 28, 1998		

INT-CL (IPC): H01L021/60

ABSTRACTED-PUB-NO: JP 11214432A

BASIC-ABSTRACT: NOVELTY - The semiconductor chip (1) is provided with identical bump electrodes (2) using which the chip is electrically connected to the wiring board (5). Spacers (3) with height smaller than that of the bump electrodes are provided on both ends of the chip. The spacers are made of same refractory metals as that used for making the bump electrodes. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for spacer formation method.

USE - For mounting semiconductor devices such as chip in electronic machines.

ADVANTAGE - Since spacers are provided on both ends of the chip while mounting the chip onto the wiring board, even when a positional offset occurs between the mounting pad and bump electrode, the space between the semiconductor chip and wiring board is uniform. Stabilizes the device by providing thermal fatigue durability. DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the semiconductor device. (1) Semiconductor chip; (2) Bump electrode; (3) Spacer; (5) Wiring board.

CHOSEN-DRAWING: Dwg.1/15

TITLE-TERMS:

WIRE BOARD STRUCTURE MOUNT SEMICONDUCTOR DEVICE CHIP SPACE  
HEIGHT SMALLER BUMP  
ELECTRODE ELECTRIC CONNECT DEVICE WIRE BOARD END CHIP

DERWENT-CLASS: U14 V04

EPI-CODES: U14-H03B; V04-Q05;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1999-373291

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214432

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 Q

3 1 1 S

審査請求 未請求 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願平10-15491

(22) 出願日 平成10年(1998) 1月28日

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿 2丁目1番1号

(72) 発明者 小村 敦

埼玉県所沢市大字下富字武野840番地 シ

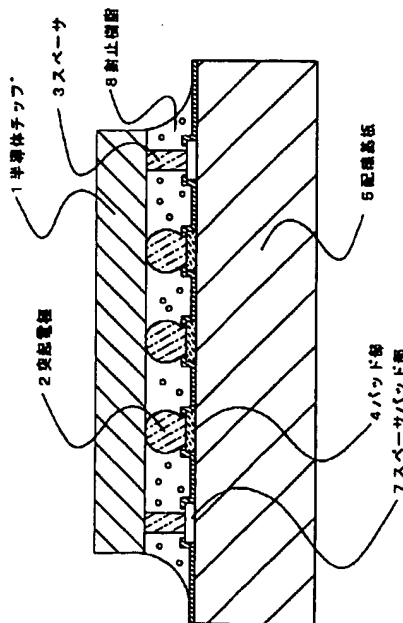
チズン時計株式会社技術研究所内

(54) 【発明の名称】 半導体装置およびスペーサ形成方法

(57) 【要約】

【課題】 実装パッドと突起電極との位置ズレが発生しても半導体チップと配線基板との間隔を一定に保つことが可能な接続ができる。

【解決手段】 配線基板5上に半導体チップ1を突起電極2を介して接続する半導体装置において、最低3箇所他の突起電極2の高さと同じあるいはそれよりも低いスペーサ3を形成し、その他の突起電極2のみ電気的な接続をおこなう半導体装置およびスペーサ形成方法。



## 【特許請求の範囲】

【請求項1】 配線基板上に半導体チップを突起電極を介して接続する半導体装置において、最低3箇所に他の突起電極の高さと同じあるいはそれよりも低いスペーサを形成し、その他の突起電極のみ電気的な接続を行うことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、スペーサの材料が他の突起電極よりも高融点金属であることを特徴とした半導体装置。

【請求項3】 請求項1記載の半導体装置において、スペーサの材料が樹脂材料であることを特徴とした半導体装置。

【請求項4】 請求項1記載の半導体装置において、スペーサが前記の半導体チップの内部素子形成回路領域以外に配置することを特徴とした半導体装置。

【請求項5】 請求項1記載の半導体装置において、前記半導体チップを搭載する配線基板上に前記の半導体チップのスペーサに対応する電極を形成することを特徴とした半導体装置。

【請求項6】 配線基板上に半導体チップを突起電極を介して接続する半導体装置において、配線基板上に最低3箇所に半導体チップに形成している突起電極の高さと同じあるいはそれよりも低いスペーサを形成し、前記の半導体チップの突起電極のみ電気的な接続を行うことを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、配線基板上に形成するスペーサの材料が半導体チップに形成する突起電極よりも高融点金属であることを特徴とした半導体装置。

【請求項8】 請求項6記載の半導体装置において、配線基板上に形成するスペーサの材料が樹脂材料であることを特徴とした半導体装置。

【請求項9】 請求項6記載の半導体装置において、配線基板上に形成するスペーサ配置が前記の半導体チップを配線基板上に搭載した際に前記の半導体チップの内部素子形成回路領域以外に配置することを特徴とした半導体装置。

【請求項10】 請求項6記載の半導体装置において、前記半導体チップに配線基板のスペーサに対応する電極を形成することを特徴とした半導体装置。

【請求項11】 半導体チップのパッドを形成していない領域に他の電極と電気的に接続していない単独な電極を形成する工程と他の電極と電気的に接続していない単独な電極に他の電極に形成する突起電極より高融点金属のスペーサを形成する工程とを有することを特徴としたスペーサ形成方法。

【請求項12】 半導体チップのパッドを形成していない領域に他の電極と電気的に接続していない単独な電極を形成する工程と他の電極と電気的に接続していない単独な電極に樹脂のスペーサを形成する工程とを有するこ

とを特徴としたスペーサ形成方法

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップと配線基板との接続に係わり、とくに半導体チップと配線基板との接続にハンダを使ったフリップチップ実装を用いて、半導体チップの電極と配線基板の実装パッドとの接続を行う半導体装置に関する。

【0002】

【従来の技術】従来の技術のフリップチップ実装を用いた半導体装置において、半導体チップと配線基板とを接続するときに、半導体チップと配線基板との接続したときの間隔寸法を均一に保つために、スペーサを用いた半導体装置として、たとえば特開平7-226422号公報などがあげられる。

【0003】従来のスペーサを形成しフリップチップ実装を用いた半導体装置の構造について図13、図14を用いて説明する。

【0004】図13および図14は上記特開平7-226422号公報に開示された半導体装置を示す断面図である。図13の構造について説明する。半導体チップ21上には、所定の温度で溶融する突起電極22とスペーサ23とが形成されていて、スペーサ23の先端にスペーサ23よりも径の小さな小突起26が形成されている。配線基板25には半導体チップ21の突起電極22の配置に対応するようにパッド部24が形成され、スペーサ23の小突起26の配置に対応するように貫通穴27が形成されている。半導体チップ21と配線基板25とは、半導体チップ21に形成した突起電極22で電気的接続を行い、スペーサ23の小突起26は配線基板25の貫通穴27に挿入され、半導体チップ21と配線基板25とが位置決めされている。

【0005】図14の構造について説明する。半導体チップ21上には、所定の温度で溶融する突起電極22とスペーサ23が形成されている。配線基板25には半導体チップ21の突起電極22の配置に対応するようにパッド部24が形成され、スペーサ23の位置を規制するための段差28が形成されている。半導体チップ21と配線基板25とは半導体チップ21に形成した突起電極22で電気的接続を行い、スペーサ23は配線基板25の段差28に対して側面で当接され、半導体チップ21と配線基板25とが位置決めされている。

【0006】

【発明が解決しようとする課題】しかしながら、配線基板に穴あるいは段差を設け、半導体チップ側に形成したスペーサの位置決めを行う場合、配線基板の電極パッドと穴あるいは段差との位置ズレが発生した場合、突起電極と電極パッドとが図15のように斜めの接合してしまう。これによって、温度サイクル試験等の環境試験に投入することにより発生する接続部への応力が集中し、半

導体装置の熱疲労寿命が低下してしまう。また、位置ズレが接続許容範囲を超えた場合、突起電極と電極パッドとが接続できないことが発生する。

【0007】(発明の目的)本発明の目的は、上記の課題を解決して、実装パッドと突起電極との位置ズレが発生しても半導体チップと配線基板との間隔を一定に保つことが可能な半導体半導体装置およびスペーサの形成方法を提供することにある。

【0008】

【課題を解決するための手段】前述した目的を達成するために、本発明の半導体装置の構造およびスペーサの製造方法は、下記記載の構成を採用する。

【0009】本発明の1つの半導体装置は、配線基板上に半導体チップを突起電極を介して接続する半導体装置において、最低3箇所に他の突起電極の高さと同じあるいはそれよりも低いスペーサを形成し、その他の突起電極のみ電気的な接続を行うことを特徴としたものである。

【0010】本発明のもう1つの半導体装置は、配線基板上に半導体チップを突起電極を介して接続する半導体装置において、配線基板上に最低3箇所に半導体チップに形成している突起電極の高さと同じあるいはそれよりも低いスペーサを形成し、の半導体チップの突起電極のみ電気的な接続を行うことを特徴としたものである。

【0011】

【発明の実施の形態】以下、図面を用いて本発明の第1の実施形態における半導体装置の構成の説明を行う。本発明の第1の実施形態については図1～図3を用いて構造を説明する。図1は本発明の第1の実施形態における半導体装置の断面図、図2は半導体チップ1の電極側の平面図、図3は配線基板の半導体チップ実装側の平面図である。

【0012】半導体チップ1は図2を用いて説明する。Si上に電子回路を形成し、その回路の外部端子としてAlなどで電極が形成されている。電極の上に配線基板5の電極パッド6との電気的接続を行うためにSnとPbとの比率が6:4の組成のハンダで突起電極1を形成している。

【0013】スペーサ3については突起電極2よりも高融点金属である5Sn/95Pb高融点ハンダあるいは線膨張係数が20～30ppm/℃の樹脂材料などを用いている。

【0014】半導体チップ1の突起電極2とスペーサ3以外の部分はSiN等の無機膜か有機膜にさらにその上にポリイミド等の有機膜による保護膜で覆われ、外部とは電気的に絶縁されている。

【0015】配線基板5は図3を用いて説明する。配線基板が樹脂基板の場合には基材にはガラスエポキシ、BTレジンやポリイミドなどを用い、セラミック基板の場合にはアルミナなどを用いている。配線基板5のパッド

部4は半導体チップ1に形成している突起電極2の配置に対応するように形成している。

【0016】パッド部4は、半導体チップ1の共晶ハンダで形成した突起電極2が十分に濡れ、かつ充分な密着強度を確保するために、Cu上にAu/Niメッキを施している。それぞれ金属層の厚さはNi層の厚さが3～5μm、Au層の厚さは0.02～0.05μmで形成している。

【0017】スペーサ用パッド部7は、突起電極2とスペーサ3との高さの設定により2種類考えられる。多くの場合、スペーサ用パッド部7を図4(1)あるいは(2)のように形成する。この場合は、突起電極2とスペーサ3との高さを同じにする。しかし、突起電極2とスペーサ3との間隔が狭い場合や配線基板5の配線の引き回しによってソルダーレジスト6に開口できない場合には、図5のようにスペーサのパッド部を形成する。その場合、半導体チップ1のスペーサ3高さは突起電極2の高さよりもソルダーレジスト6の厚さ分だけ低く設定する必要になる。

【0018】配線基板5は、上記のパッド部4とスペーサ用パッド部7以外部分はソルダーレジスト6で覆われている。

【0019】半導体装置については上記の半導体チップ1と、配線基板5を含め図1を用いて説明する。半導体チップ1上の各突起電極2と配線基板5上のパッド部4との電気的接続は突起電極2のハンダを溶融し、突起電極2とパッド部4との接続する。その際の半導体チップ1と配線基板5と間隔はスペーサ3の高さにより決まり、また、傾くことなく常に安定した実装が可能になる。

【0020】半導体チップ1と配線基板5との間には接続部の信頼性向上および半導体チップ1および配線基板5に形成されている回路の保護のために封止樹脂8で封止している。封止樹脂8には熱硬化性のエポキシ系樹脂を使用している。

【0021】本発明の第2の実施形態については図6～図8を用いて構造を説明する。図6は本発明の第2の実施形態における半導体装置の断面図、図7は半導体チップ1の電極側の平面図、図3は配線基板の半導体チップ実装側の平面図である。

【0022】半導体チップ1は図7を用いて説明する。Si上に電子回路を形成し、その回路の外部端子としてAlなどで電極が形成されている。電極の上に配線基板5の電極パッド6との電気的接続を行うためにSnとPbとの比率が6:4の組成のハンダで突起電極1を形成している。

【0023】スペーサ用パッド部11についてはICの電極や配線と同じ材料であるAlや突起電極を形成する際のバリアメタル層の最上層にあたるCuやAuなどで形成されている。

【0024】半導体チップ1の突起電極2とスペーサ用パッド部11以外の部分はSiN等の無機膜か前記の無機膜にさらにその上にポリイミド等の有機膜による保護膜で覆われ、外部とは電氣的に絶縁されている。

【0025】配線基板5は図8を用いて説明する。配線基板の基材にはガラスエポキシや、BTレジンや、ポリイミドなどを用いている。配線基板5のパッド部4は半導体チップ1に形成している突起電極2の配置に対応するように形成している。

【0026】パッド部4は、半導体チップ1の共晶ハンダで形成した突起電極2が十分に濡れ、かつ充分な密着強度を確保するために、Cu上にAu/Niメッキを施している。各金属層の厚さはNi層の厚さが3〜5μm、Au層の厚さは0.02〜0.05μmで形成している。

【0027】スペーサ10は、突起電極2よりも高融点金属である、5Sn/95Pb高融点ハンダあるいは線膨張係数が20〜30ppm/℃の樹脂材料などを用いている。

【0028】スペーサ10の高さの設定については第1の実施形態と同じで、スペーサ用パッド部11の構造によって高さを突起電極2と同じあるいは突起電極2よりも低く形成する。

【0029】配線基板5は、上記のパッド部4とスペーサ10以外部分は溶剤レジスト6で覆われている。

【0030】半導体装置については上記の半導体チップ1と、配線基板5を含め図6を用いて説明する。半導体チップ1上の各突起電極2と配線基板5上のパッド部4との電氣的接続は突起電極2のハンダを溶解し、突起電極2とパッド部4とを接続する。その際の半導体チップ1と配線基板5と間隔はスペーサ10の高さにより決まり、また、傾くことなく常に安定した実装が可能になる。

【0031】半導体チップ1と配線基板5との間には接続部の信頼性向上および半導体チップ1および配線基板5に形成されている回路の保護のために封止樹脂8で封止している。封止樹脂8には熱硬化性のエポキシ系樹脂を使用している。

【0032】第1実施形態に用いたスペーサの形成方法について説明する。図9〜図12の図面を用いて説明する。

【0033】図9は半導体チップ1の断面図である。Si12上に電子回路を形成し、その回路の外部端子としてA1などで電極13が形成されている。電極14以外の部分はSiN等の無機膜か前記の無機膜にさらにその上にポリイミド等の有機膜による保護膜14で覆われ、外部とは電氣的に絶縁されている。

【0034】半導体チップ上の全面にAl、Cr、Cuの順にあるいは蒸着あるいはスパッタリングで形成する。さらに、全面にレジストを形成しフォトリソグラフ

により、電極14および半導体パッドが形成されていない領域に単独なスペーサ用の電極15を形成する位置の以外のレジストを除去し、レジストをマスクにしてスパッタリング法によるドライエッチングして除去した後、さらにレジストをレジスト剥離液で、除去することで、図10のように電極14およびスペーサ用電極15を形成する。

【0035】図11はスペーサを形成した状態を表す。高融点金属である5Sn/95Pb高融点ハンダのスペーサを形成する場合は、レジストを全面に塗布しスペーサ用電極15のみ開口させ、無電解ハンダメッキによって5Sn/95Pb高融点ハンダのスペーサ15を形成し、レジストを剥離する。

【0036】樹脂のスペーサを形成する場合は、スクリーン印刷法によって、スペーサ用電極15のみ設定した高さの熱硬化型樹脂で形成した後硬化させ、スペーサを形成する。

【0037】その後図12が示すように、突起電極2を形成するためにスクリーン印刷法で共晶ハンダペーストを供給したり、または高粘度のフラックスを電極14のみに塗布したのち転写法で共晶ハンダボールを供給し、リフロー炉などで共晶ハンダが熔融する温度まで加熱し、電極14上に共晶ハンダの突起電極2形成する。

【0038】つぎに第2の実施形態に用いたスペーサの形成方法についても第1の実施形態の用いた形成方法スペーサを形成する。

【0039】

【発明の効果】以上説明したように、配線基板上に半導体チップを突起電極を介して接続する半導体装置において、最低3箇所に他の突起電極の高さと同じあるいはそれよりも低いスペーサを形成し、突起電極のみ接続を行っている。このことによって、実装パッドと突起電極との位置ズレが発生してもスペーサによって、突起電極と電極パッドとが斜めに接合することがなくなる。このことにより、半導体装置が熱疲労寿命が安定する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における半導体装置を示す断面図である。

【図2】本発明の第1の実施形態における半導体チップの平面図である

【図3】本発明の第1の実施形態における配線基板の平面図である。

【図4】本発明の第1の実施形態における配線基板のスペーサ用のパッド部の断面図である。

【図5】本発明の第1の実施形態における配線基板のスペーサ用のパッド部の断面図である。

【図6】本発明の第2の実施形態における半導体装置を示す断面図である。

【図7】本発明の第2の実施形態における半導体チップの平面図である

【図8】本発明の第2の実施形態における配線基板の平面図である。

【図9】本発明の第1の実施形態のスペーサの形成方法における半導体チップ断面図である

【図10】本発明の第1の実施形態のスペーサの形成方法における半導体チップにスペーサ用電極を形成した状態を示す断面図である。

【図11】本発明の第1の実施形態のスペーサの形成方法における半導体チップにスペーサを形成した状態を示す断面図である。

【図12】本発明の第1の実施形態のスペーサの形成方法における半導体チップに突起電極を形成した状態を示す断面図である。

【図13】従来技術における半導体装置を示す断面図で

ある

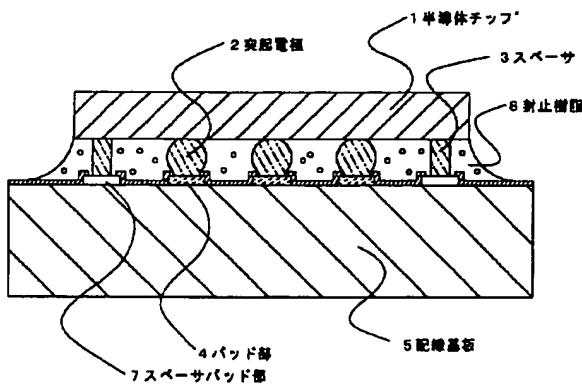
【図14】従来技術における半導体装置を示す断面図である

【図15】従来技術における半導体装置の接続部を示す断面図である

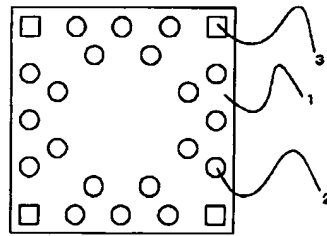
【符号の説明】

- 1 半導体チップ
- 2 突起電極
- 3 スペーサ
- 4 パッド部
- 5 配線基板
- 6 ソルダーレジスト
- 7 スペーサパッド部
- 8 封止樹脂

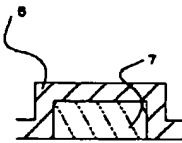
【図1】



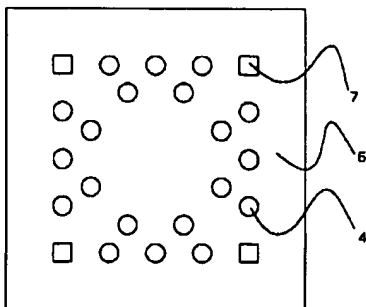
【図2】



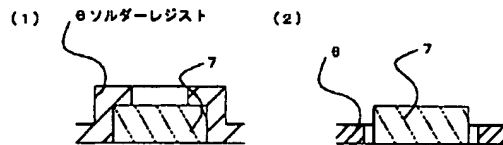
【図5】



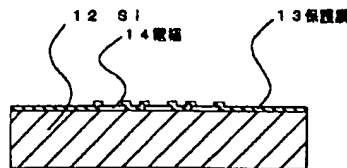
【図3】



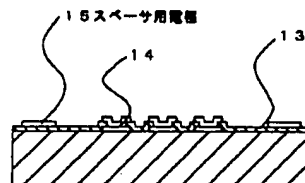
【図4】



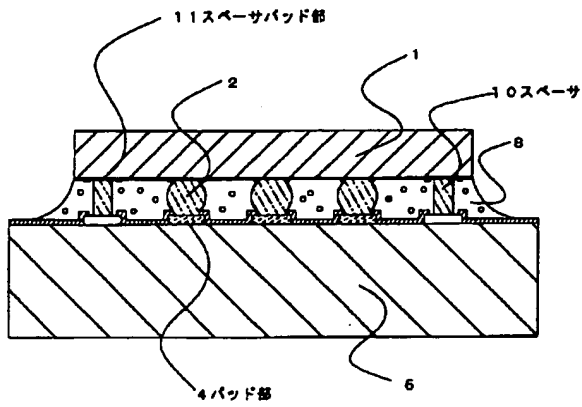
【図9】



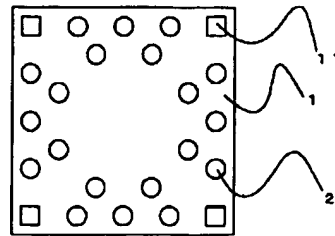
【図10】



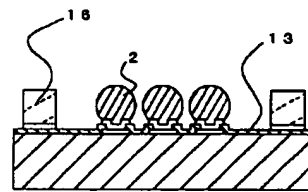
【図6】



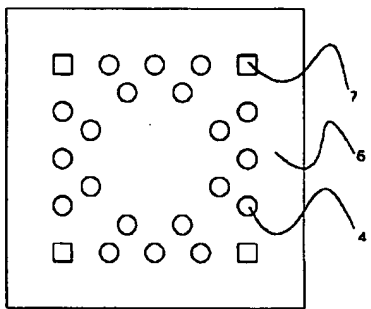
【図7】



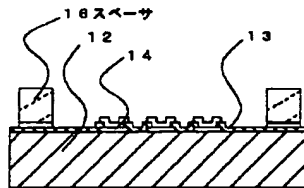
【図12】



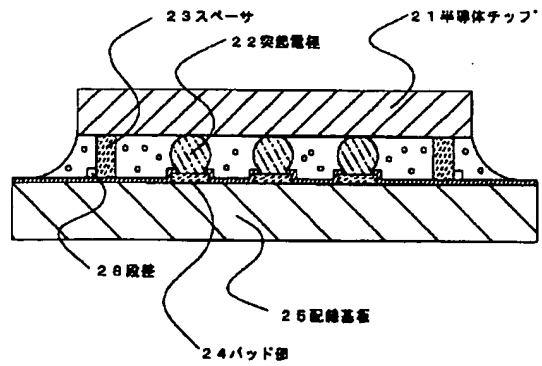
【図8】



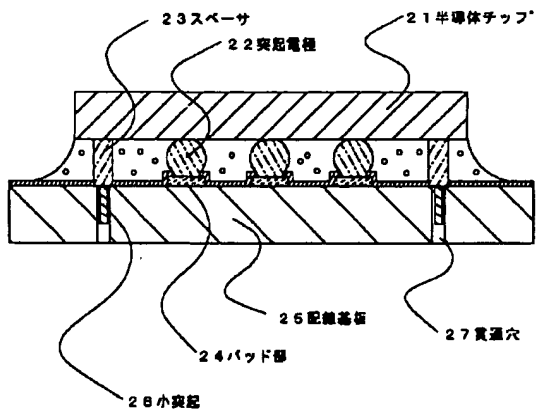
【図11】



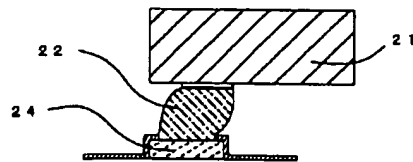
【図14】



【図13】



【図15】





## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention is related at the semiconductor device which makes connection between the electrode of a semiconductor chip, and the mounting pad of a wiring substrate using relation of connection between a semiconductor chip and a wiring substrate, and flip chip mounting especially using the pewter to connection between a semiconductor chip and a wiring substrate.

[0002]

[Description of the Prior Art] In the semiconductor device using flip chip mounting of the conventional technology, when connecting a semiconductor chip and a wiring substrate, in order to keep uniform the interval size when connecting of a semiconductor chip and a wiring substrate, JP,7-226422,A etc. is raised as a semiconductor device which used the spacer.

[0003] The conventional spacer is formed and the structure of the semiconductor device using flip chip mounting is explained using drawing 13 and drawing 14.

[0004] Drawing 13 and drawing 14 are the cross sections showing the semiconductor device indicated by above-mentioned JP,7-226422,A. The structure of drawing 13 is explained. On the semiconductor chip 21, the salient electrode 22 and spacer 23 which are fused at predetermined temperature are formed, and the small small salient 26 of a path is formed at the nose of cam of a spacer 23 rather than the spacer 23. A through hole 27 is formation \*\*\*\*\* so that the pad section 24 may be formed in the wiring substrate 25 so that it may correspond to arrangement of the salient electrode 22 of a semiconductor chip 21, and it may correspond to arrangement of the small salient 26 of a spacer 23. A semiconductor chip 21 and the wiring substrate 25 perform electrical installation by the salient electrode 22 formed in the semiconductor chip 21, the small salient 26 of a spacer 23 is inserted in the through hole 27 of the wiring substrate 25, and the semiconductor chip 21 and the wiring substrate 25 are positioned.

[0005] The structure of drawing 14 is explained. On the semiconductor chip 21, the salient electrode 22 and spacer 23 which are fused at predetermined temperature are formed. The pad section 24 is formed in the wiring substrate 25 so that it may correspond to arrangement of the salient electrode 22 of a semiconductor chip 21, and the level difference 28 for regulating the position of a spacer 23 is formed. A semiconductor chip 21 and the wiring substrate 25 perform electrical installation by the salient electrode 22 formed in the semiconductor chip 21, a spacer 23 is contacted on the side to the level difference 28 of the wiring substrate 25, and the semiconductor chip 21 and the wiring substrate 25 are positioned.

[0006]

[Problem(s) to be Solved by the Invention] however, when the spacer which prepared the hole or the level difference in the wiring substrate, and was formed in the semiconductor chip side is positioned and the position gap with the electrode pad of a wiring substrate, a hole, or a level difference occurs, a salient electrode and electrode Bud are slanting like drawing 15 -- it will join By this, the stress to the connection generated by supplying to environmental tests, such as a heat cycle test, will concentrate, and the thermal-fatigue life of a semiconductor device will fall. Moreover, when position gap exceeds connection tolerance, that a salient electrode and electrode Bud cannot connect occurs.

[0007] (The purpose of invention) The purpose of this invention is to offer the formation method of the semiconductor semiconductor device which can keep the interval of a semiconductor chip and a wiring substrate constant, and a spacer, even if it solves the above-mentioned technical problem and the position gap with a mounting pad and a salient electrode occurs.

[0008]

[Means for Solving the Problem] In order to attain the purpose mentioned above, the structure of the semiconductor device of this invention and the manufacture method of a spacer adopt the composition of the following publication.

[0009] One semiconductor device of this invention is characterized by forming a low spacer and making connection only with other electric salient electrodes to them rather than it, or it is the same as the height of other salient electrodes to at least three places in the semiconductor device which connects a semiconductor chip through a salient electrode on a wiring substrate.

[0010] Or another semiconductor device of this invention is the same as the height of the salient electrode currently formed in at least three places on a wiring substrate in the semiconductor device which connects a semiconductor chip through a salient electrode at the semiconductor chip at the wiring substrate top, it is characterized by forming a low spacer and making connection only with the electric salient electrode of the semiconductor chip of \*\* rather than it.

[0011]

[Embodiments of the Invention] Hereafter, composition of the semiconductor device in the 1st operation gestalt of this

invention is explained using a drawing. About the 1st operation gestalt of this invention, structure is explained using drawing 1 - drawing 3 . The plan by the side of the electrode of a semiconductor chip 1 and drawing 3 of the cross section of a semiconductor device [ in / the 1st operation gestalt of this invention / in drawing 1 ] and drawing 2 are the plans by the side of semiconductor chip mounting of a wiring substrate.

[0012] A semiconductor chip 1 is explained using drawing 2 . An electronic circuitry is formed on Si and the electrode is formed with aluminum etc. as an external terminal of the circuit. In order to perform electrical installation with the electrode pad 6 of the wiring substrate 5 on an electrode, the ratio of Sn and Pb forms the salient electrode 1 with the pewter of composition of 6:4.

[0013] About the spacer 3, the resin material whose 5Sn / 95Pb high-melting point pewter, or coefficient of linear expansion which is a refractory metal is 20-30 ppm/degree C is used rather than the salient electrode 2.

[0014] The salient electrode 2 of a semiconductor chip 1 and portions other than spacer 3 are further covered by the inorganic film of inorganic films, such as SiN, by the protective coat by organic films, such as a polyimide, on it, and the exterior is insulated electrically.

[0015] The wiring substrate 5 is explained using drawing 3 . When a wiring substrate is a resin substrate, the alumina etc. is used for the case at the base material at the ceramic substrate using glass epoxy, BT resin, the polyimide, etc. The pad section 4 of the wiring substrate 5 is formed so that it may correspond to arrangement of the salient electrode 2 currently formed in a semiconductor chip 1.

[0016] The pad section 4 has given Au/nickel plating on Cu, in order for the salient electrode 2 formed with the eutectic pewter of a semiconductor chip 1 to fully get wet and to secure sufficient adhesion intensity. As for metal layer thickness, nickel layer thickness forms 3-5 micrometers and Au layer thickness by 0.02-0.05 micrometers, respectively.

[0017] Two kinds of pad sections 7 for spacers are considered by setup of the height of the salient electrode 2 and a spacer 3. In many cases, the pad section 7 for spacers is formed as shown in drawing 4 (1) or (2). In this case, the height of the salient electrode 2 and a spacer 3 is made the same. However, when opening cannot be carried out to a solder resist 6 by leading about of wiring of the case where the interval of the salient electrode 2 and a spacer 3 is narrow, or the wiring substrate 5, the pad section of a spacer is formed like drawing 5 . In this case, from the height of the salient electrode 2, the spacer 3 height of a semiconductor chip 1 is low set up by the thickness of a solder resist 6, and is needed.

[0018] The portion is covered by the solder resist 6 except the pad section 4 of the above [ the wiring substrate 5 ], and pad section 7 for spacers.

[0019] A semiconductor device is explained to be the above-mentioned semiconductor chip 1 using drawing 1 including the wiring substrate 5. The electrical installation of each salient electrode 2 on a semiconductor chip 1 and the pad section 4 on the wiring substrate 5 fuses the pewter of the salient electrode 2, and connects with the salient electrode 2 as the pad section 4. The semiconductor chip 1, the wiring substrate 5, and interval in that case are decided by the height of a spacer 3, and always stabilized mounting is attained, without inclining.

[0020] Between a semiconductor chip 1 and the wiring substrate 5, it is closing by the closure resin 8 for protection of the circuit currently formed in the improvement in reliability, the semiconductor chip 1, and the wiring substrate 5 of a connection. The thermosetting epoxy system resin is used for the closure resin 8.

[0021] About the 2nd operation gestalt of this invention, structure is explained using drawing 6 - drawing 8 . The plan by the side of the electrode of a semiconductor chip 1 and drawing 3 of the cross section of a semiconductor device [ in / the 2nd operation gestalt of this invention / in drawing 6 ] and drawing 7 are the plans by the side of semiconductor chip mounting of a wiring substrate.

[0022] A semiconductor chip 1 is explained using drawing 7 . An electronic circuitry is formed on Si and the electrode is formed with aluminum etc. as an external terminal of the circuit. In order to perform electrical installation with the electrode pad 6 of the wiring substrate 5 on an electrode, the ratio of Sn and Pb forms the salient electrode 1 with the pewter of composition of 6:4.

[0023] About the pad section 11 for spacers, it is formed by Cu, Au, etc. equivalent to the best layer of the barrier metal layer at the time of forming aluminum and the salient electrode which are the electrode of IC, and the same material as wiring.

[0024] The salient electrode 2 of a semiconductor chip 1 and portions other than pad section 11 for spacers are further covered by inorganic films or the aforementioned inorganic films, such as SiN, by the protective coat by organic films, such as a polyimide, on it, and the exterior is insulated electrically.

[0025] The wiring substrate 5 is explained using drawing 8 . Glass epoxy, BT resin, the polyimide, etc. are used for the base material of a wiring substrate. The pad section 4 of the wiring substrate 5 is formed so that it may correspond to arrangement of the salient electrode 2 currently formed in a semiconductor chip 1.

[0026] The pad section 4 has given Au/nickel plating on Cu, in order for the salient electrode 2 formed with the eutectic pewter of a semiconductor chip 1 to fully get wet and to secure sufficient adhesion intensity. As for each metal layer thickness, nickel layer thickness forms 3-5 micrometers and Au layer thickness by 0.02-0.05 micrometers.

[0027] The resin material whose 5Sn / 95Pb high-melting point pewter, or coefficient of linear expansion which is a refractory metal is 20-30 ppm/degree C is used for the spacer 10 rather than the salient electrode 2.

[0028] About a setup of the height of a spacer 10, it is the same as the 1st operation gestalt, and height is formed according to the structure of the pad section 11 for spacers similarly to the salient electrode 2 lower than the salient electrode 2.

[0029] The portion is covered by the solder resist 6 except pad section [ of the above / the wiring substrate 5 ] 4, and spacer 10.

[0030] A semiconductor device is explained to be the above-mentioned semiconductor chip 1 using drawing 6 including the wiring substrate 5. The electrical installation of each salient electrode 2 on a semiconductor chip 1 and the pad section 4 on the wiring substrate 5 fuses the pewter of the salient electrode 2, and connects the salient electrode 2 and the pad section 4. The semiconductor chip 1, the wiring substrate 5, and interval in that case are decided by the height of a spacer 10, and always stabilized mounting is attained, without inclining.

[0031] Between a semiconductor chip 1 and the wiring substrate 5, it is closing by the closure resin 8 for protection of the circuit currently formed in the improvement in reliability, the semiconductor chip 1, and the wiring substrate 5 of a connection. The thermosetting epoxy system resin is used for the closure resin 8.

[0032] The formation method of the spacer used for the 1st operation gestalt is explained. It explains using the drawing of drawing 9 - drawing 12.

[0033] Drawing 9 is the cross section of a semiconductor chip 1. An electronic circuitry is formed on Si12 and the electrode 13 is formed with aluminum etc. as an external terminal of the circuit. Further, on it, portions other than electrode 14 are covered by the protective coat 14 by organic films, such as a polyimide, and are electrically insulated with the exterior by inorganic films or the aforementioned inorganic films, such as SiN.

[0034] the whole surface on a semiconductor chip -- the order of aluminum, Cr, and Cu -- or it forms by vacuum evaporation or sputtering Furthermore, a resist is formed in the whole surface, and after [ which removes resists other than the position which forms the independent electrode 15 for spacers in the field in which the electrode 14 and the semiconductor pad are not formed, uses a resist as a mask, and is depended on the sputtering method by the photolithography ] carrying out dry etching and removing, an electrode 14 and the electrode 15 for spacers are formed like drawing 10 by removing a resist with resist ablation liquid further.

[0035] Drawing 11 expresses the state where the spacer was formed. When forming the spacer of 5Sn / 95Pb high-melting point pewter which is a refractory metal, a resist is applied to the whole surface, and opening is carried out, and by non-electrolyzed pewter plating, only the electrode 15 for spacers forms the spacer 15 of 5Sn / 95Pb high-melting point pewter, and exfoliates a resist.

[0036] When forming the spacer of a resin, a postcure is formed and carried out by the heat-hardened type resin of the height which accepted electrode 15 and was set up for spacers with screen printing, and a spacer is formed.

[0037] up to the temperature which supplies a eutectic pewter ball with a replica method after supplying a eutectic pewter paste with screen printing or applying hyperviscous flux only to an electrode 14 in order to form the salient electrode 2 as drawing 12 shows after that, and a eutectic pewter fuses at a reflow furnace etc. -- heating -- an electrode 14 top -- the salient electrode of a eutectic pewter -- it forms two times

[0038] The formation method spacer which the 1st operation gestalt used also about the formation method of the spacer used for the 2nd operation gestalt next is formed.

[0039]

[Effect of the Invention] In the semiconductor device which connects a semiconductor chip through a salient electrode on a wiring substrate, as explained above, or it is the same as the height of other salient electrodes to at least three places, rather than it, the low spacer was formed and only the salient electrode has connected with them. Even if the position gap with a mounting pad and a salient electrode occurs by this, it is lost with a spacer that a salient electrode and electrode Bud join aslant. A thermal-fatigue life is stabilized by the semiconductor device by this.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the semiconductor device in the 1st operation gestalt of this invention.

[Drawing 2] It is the plan of the semiconductor chip in the 1st operation gestalt of this invention.

[Drawing 3] It is the plan of the wiring substrate in the 1st operation gestalt of this invention.

[Drawing 4] It is the cross section of the pad section for the spacers of the wiring substrate in the 1st operation gestalt of this invention.

[Drawing 5] It is the cross section of the pad section for the spacers of the wiring substrate in the 1st operation gestalt of this invention.

[Drawing 6] It is the cross section showing the semiconductor device in the 2nd operation gestalt of this invention.

[Drawing 7] It is the plan of the semiconductor chip in the 2nd operation gestalt of this invention.

[Drawing 8] It is the plan of the wiring substrate in the 2nd operation gestalt of this invention.

[Drawing 9] It is a semiconductor chip cross section in the formation method of the spacer of the 1st operation gestalt of this invention.

[Drawing 10] It is the cross section showing the state where the electrode for spacers was formed in the semiconductor chip in the formation method of the spacer of the 1st operation gestalt of this invention.

[Drawing 11] It is the cross section showing the state where the spacer was formed in the semiconductor chip in the formation method of the spacer of the 1st operation gestalt of this invention.

[Drawing 12] It is the cross section showing the state where the salient electrode was formed in the semiconductor chip in the formation method of the spacer of the 1st operation gestalt of this invention.

[Drawing 13] It is the cross section showing the semiconductor device in the conventional technology.

[Drawing 14] It is the cross section showing the semiconductor device in the conventional technology.

[Drawing 15] It is the cross section showing the connection of the semiconductor device in the conventional technology.

[Description of Notations]

1 Semiconductor Chip

2 Salient Electrode

3 Spacer

4 Pad Section

5 Wiring Substrate

6 Solder Resist

7 Spacer Pad Section

8 Closure Resin

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The semiconductor device characterized by forming a low spacer and making connection only with other electric salient electrodes to them rather than it in the semiconductor device which connects a semiconductor chip through a salient electrode on a wiring substrate or it is the same as the height of other salient electrodes to at least three places.

[Claim 2] The semiconductor device with which material of a spacer was characterized by being a refractory metal rather than other salient electrodes in the semiconductor device according to claim 1.

[Claim 3] The semiconductor device characterized by the material of a spacer being resin material in the semiconductor device according to claim 1.

[Claim 4] The semiconductor device characterized by arranging in addition to the internal element formation circuit field of the semiconductor chip of the above [ a spacer ] in the semiconductor device according to claim 1. [Claim 5] The semiconductor device characterized by forming the electrode corresponding to the spacer of the aforementioned semiconductor chip in the wiring substrate in which the aforementioned semiconductor chip is carried in the semiconductor device according to claim 1.

[Claim 6] The semiconductor device characterized by forming a low spacer and making connection only with the electric salient electrode of the aforementioned semiconductor chip rather than it or it is the same as the height of the salient electrode currently formed in at least three places on a wiring substrate in the semiconductor device which connects a semiconductor chip through a salient electrode at the semiconductor chip at the wiring substrate top.

[Claim 7] The semiconductor device characterized by being a refractory metal rather than the salient electrode which the material of the spacer formed in a wiring substrate forms in a semiconductor chip in a semiconductor device according to claim 6.

[Claim 8] The semiconductor device characterized by the material of the spacer formed in a wiring substrate being resin material in the semiconductor device according to claim 6.

[Claim 9] The semiconductor device characterized by arranging in addition to the internal element formation circuit field of the aforementioned semiconductor chip when the spacer arrangement formed in a wiring substrate carries the aforementioned semiconductor chip in a wiring substrate in a semiconductor device according to claim 6.

[Claim 10] The semiconductor device characterized by forming the electrode corresponding to the spacer of a wiring substrate in the aforementioned semiconductor chip in the semiconductor device according to claim 6.

[Claim 11] The spacer formation method characterized by having the process which forms the spacer of a refractory metal from the salient electrode formed in other electrodes in the process which forms other electrodes and the independent electrode which has not connected electrically in the field which does not form the pad of a semiconductor chip, other electrodes, and the independent electrode which has not connected electrically.

[Claim 12] The spacer formation method characterized by having the process which forms the spacer of a resin in the process which forms other electrodes and the independent electrode which has not connected electrically in the field which does not form the pad of a semiconductor chip, other electrodes, and the independent electrode which has not connected electrically.

---

[Translation done.]

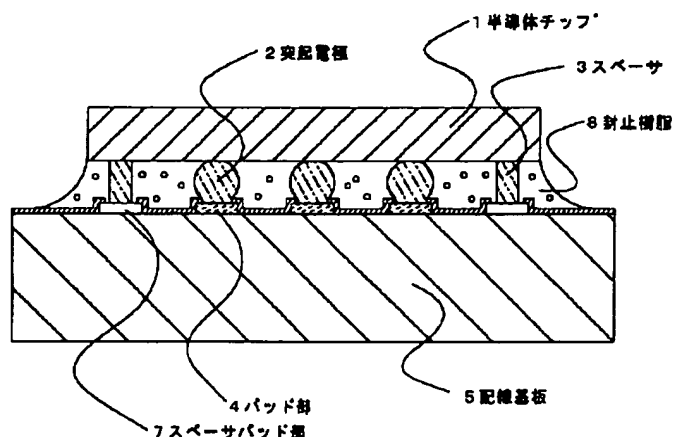
\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

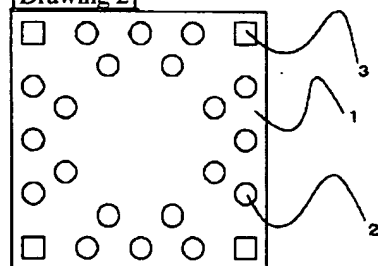
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

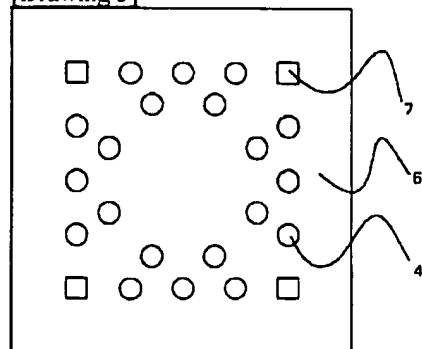
[Drawing 1]



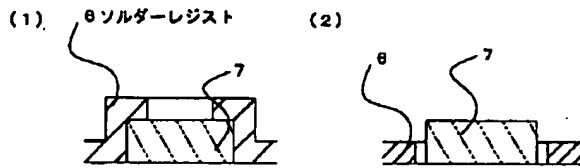
[Drawing 2]



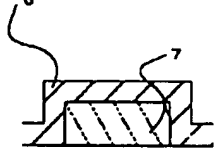
[Drawing 3]



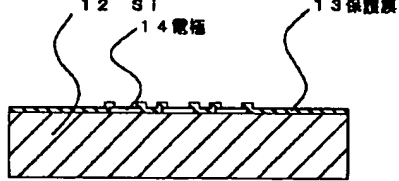
[Drawing 4]



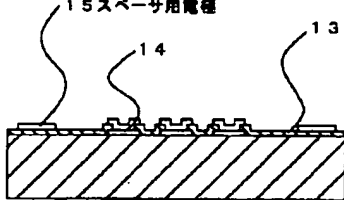
[Drawing 5]



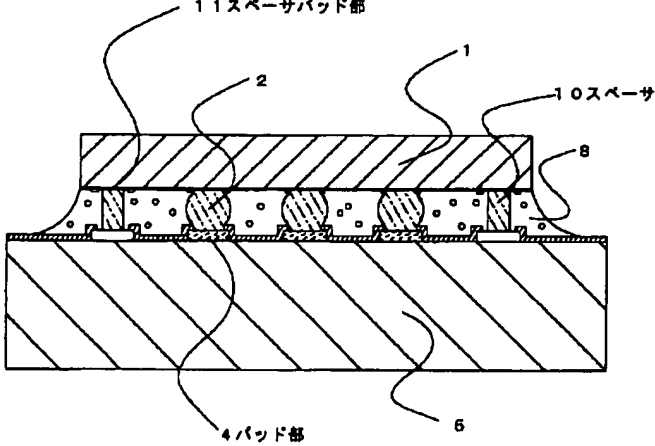
[Drawing 9]



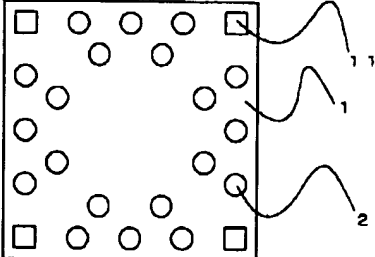
[Drawing 10]



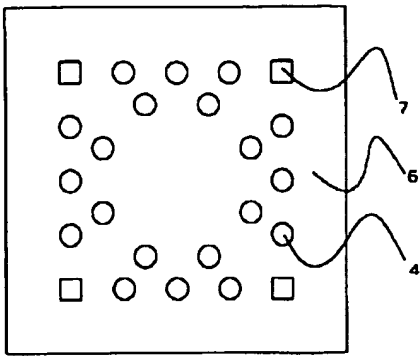
[Drawing 6]



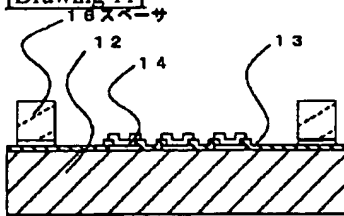
[Drawing 7]



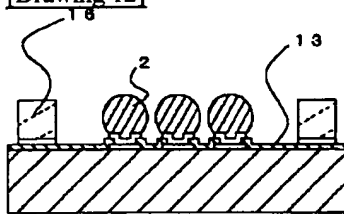
[Drawing 8]



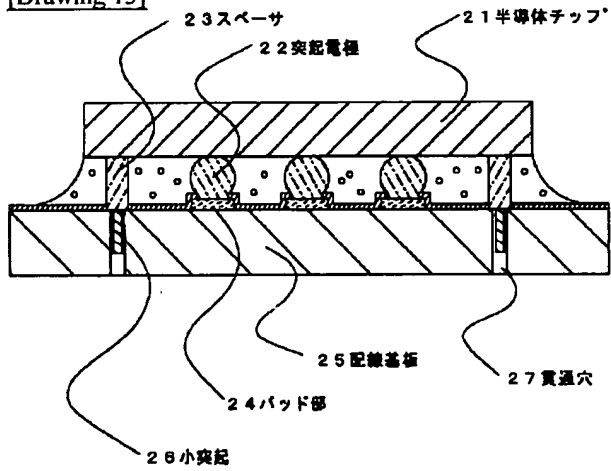
[Drawing 11]



[Drawing 12]

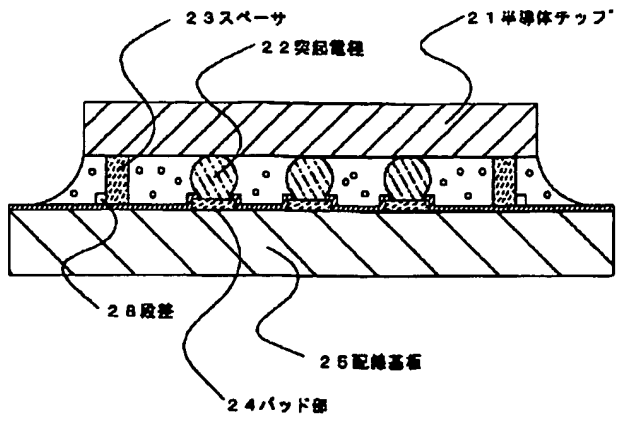


[Drawing 13]

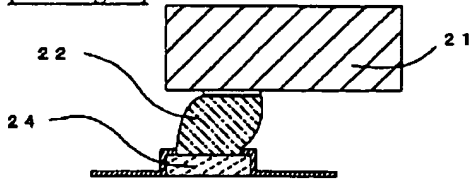


[Drawing 14]





[Drawing 15]



[Translation done.]